

ModCoupler-VHDL™

User's Guide

Powersim Inc.

Mywayプラス株式会社

ModCoupler-VHDL User's Guide

Version 1.0

Release 1.0

Copyright © 2011-2012 Carlos III University of Madrid, GSEP Power Electronics Systems Group, and Microelectronic Design and Applications group, Spain.

All rights reserved. No part of this manual may be photocopied or reproduced in any form or by any means without the written permission of Powersim, the Carlos III University of Madrid and Myway Plus Corporation.

Disclaimer

Powersim Inc. ("Powersim"), the Carlos III University of Madrid and Myway Plus Corporation (Myway) make no representation or warranty with respect to the adequacy or accuracy of this documentation or the software which it describes. In no event will Powersim, the Carlos III University of Madrid and Myway or its direct or indirect suppliers be liable for any damages whatsoever including, but not limited to, direct, indirect, incidental, or consequential damages of any character including, without limitation, loss of business profits, data, business information, or any and all other commercial damages or losses, or for any damages in excess of the list price for the license to the software and documentation.

ModelSimはMentor Graphics Corporationの登録商標です。

お問い合わせ先

Myway プラス株式会社

〒222-0022 神奈川県横浜市西区花咲町 6-145 横浜花咲ビル

Tel 045-548-8836, Fax 045-548-8832

Email: sales@myway.co.jp

URL: <http://www.myway.co.jp/>

目次

1	まえがき.....	4
2	ModCoupler-VHDL ブロック構成.....	5
3	互換性のあるデータの型.....	7
3.1	ビット.....	7
3.2	std_logic.....	7
3.3	実数.....	7
3.4	整数.....	7
3.5	bit_vector と Std_logic_vector.....	7
4	VHDL ファイルのコンパイル.....	8
5	シミュレーション.....	8

1 まえがき

ModCoupler-VHDLは、シミュレーションソフトウェアのModelSim®およびPSIM間の通信リンクです。ModCoupler-VHDLにより、完成したパワーエレクトロニクス機器の連成シミュレーションを行なうことができます。VHDLで記述されたデジタル制御アルゴリズムはModelSimでシミュレートされ、パワー回路はPSIMでシミュレートされます。

PSIM側では、ユーザーは回路図内にModCoupler-VHDLのブロックを含める必要があります。ModelSim側では、変更する必要はありません。PSIMの回路図から、ユーザーはModCoupler-VHDLモジュールへ時間刻み、VHDLのCLK信号の周波数、入出力信号の情報、シミュレーションを構成するために必要な出力信号の情報を提供する必要があります。図1は、基本的な連成シミュレーションの構造を示しています。

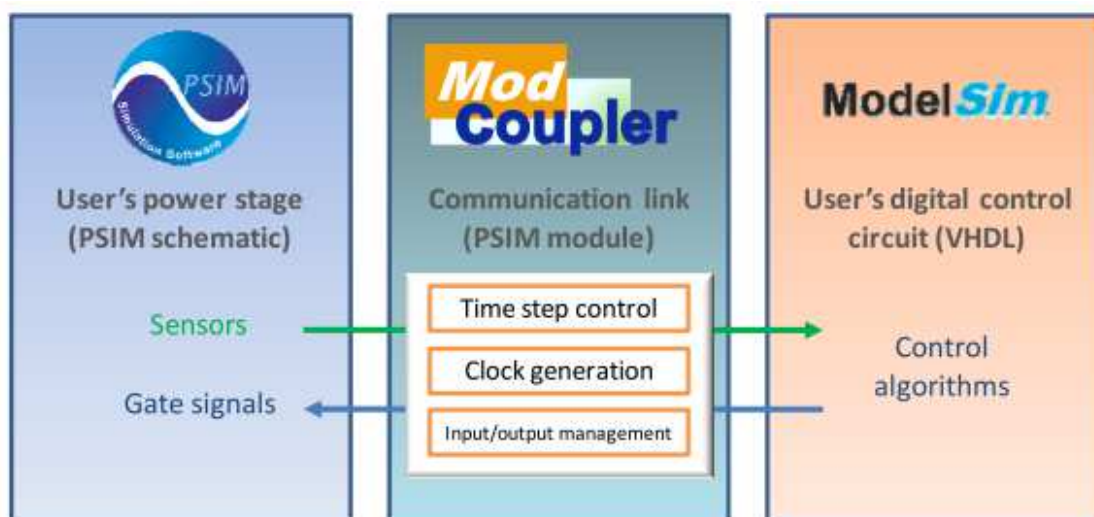


図1 連成シミュレーション構造

シミュレーション中はシミュレーションステップごとに両方シミュレータが一度停止し、互いのデータをやり取りします。ModCoupler-VHDLモジュールの入力信号の値は、制御アルゴリズムを担当しているデジタル回路に転送されます。ModelSimでの計算が終了したら、VHDLの出力の値は返送されます。その後、各シミュレータは、新しいシミュレーションのステップを実行し、このサイクルが繰り返されます。PSIMのシミュレーションステップの1ステップ分は、ModelSimのシミュレーションステップの複数分に相当することに注意してください。

本ユーザーズガイドでは、ゼロから連成シミュレーション環境を構築する方法について説明します。これは、ユーザーがアナログシミュレーション用PSIM回路およびデジタルシミュレーション用のVHDL記述を用意することを前提としています。

2 ModCoupler-VHDL ブロック構成

作成したPSIM回路図ファイル(必要ならば新規作成)にModCoupler-VHDLブロック([Elements]メニュー → [Control]メニュー)を追加します(図2参照)。

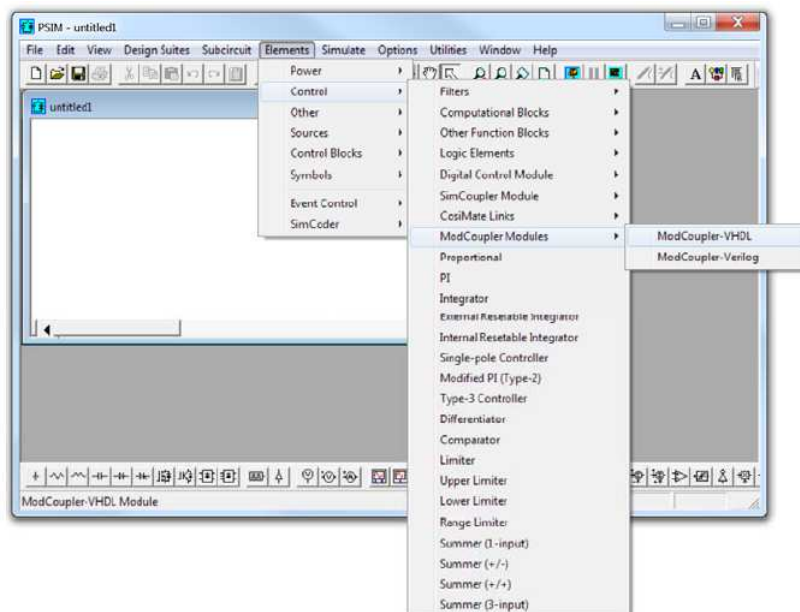


図2 ModCoupler-VHDLモジュールの場所

図3にModCoupler-VHDLモジュールのメインダイアログウィンドウを示します。

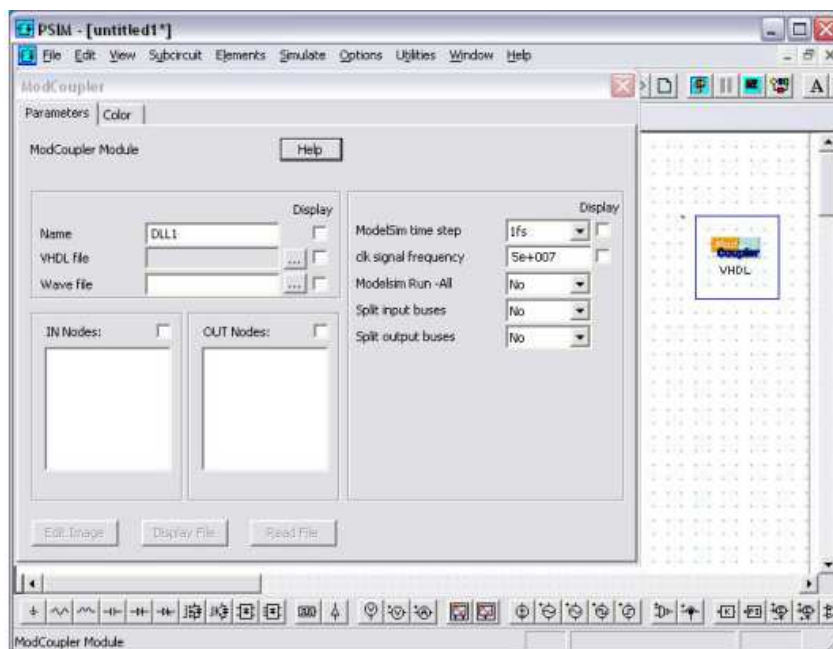


図3 ModCoupler-VHDLモジュールダイアログウィンドウ

様々なパラメータを以下に説明します：

- VHDL file :
トップエンティティファイル (.vhd) 。このファイルが選択された後に、入出力ノードのリストが作成されます。
- Wave file :
ModelSimの波形ウィンドウで表示される信号の情報を持つファイルです。
- ModelSim time step :
ModelSimのシミュレーション時間刻みです。この値は、PSIMの[simulation control]で設定する時間刻みより小さくする必要があります
- clk signal frequency :
ModelSim CLK信号の周波数です。通常はPSIMの時間刻みよりも期間が短いため、CLK信号は入力として処理されないことに注意してください。
- ModelSim Run -All :
ModelSimは"Run-ALL"ボタンを押さなくてもシミュレーションが開始されます。ModelSimの波形ウィンドウに表示される信号を選択するために、初めてシミュレーションを実行するときには "Run-All" ボタンのパラメータを"No"に設定することをお勧めします。
- Split input buses :
STD_LOGIC_VECTOR型の入力信号をビット毎に分割することを許可します。
- Split output buses :
STD_LOGIC_VECTOR型の出力信号をビット毎に分割することを許可します。

3 互換性のあるデータの型

ModCoupler-VHDL は以下のデータタイプを扱います。

3.1 ビット

入力信号として使用する場合、ModCoupler-VHDLは0の値を読み取った時に、ModelSimの対応する信号に論理"0"を設定し、その他の場合は論理"1"を設定します。

出力信号として使用する場合は、論理値"0"を読み取った時に、PSIMの対応する出力ノードに"0"を出力し、その他の場合は"1"を出力します。

3.2 std_logic

std_logicの型は論理"0"と論理"1"の2つの状態のみ考慮されます。

入力信号として使用する場合、ModCoupler-VHDLは"0"の値を読み取った時に、ModelSimの対応する信号に論理"0"を設定し、その他の場合は論理"1"を設定します。

出力信号として使用する場合は、論理値"0"を読み取った時に、PSIMの対応する出力ノードに"0"を出力し、その他の場合は"1"を出力します。

3.3 実数

この種類の信号に関しては、PSIMはModelSimにそのまま送受信を行います。

3.4 整数

入力信号として使用する場合、ModCoupler-VHDLはPSIMの入力ノードの値の小数部分を切り捨てて丸めます。その後、丸めた値を対応するModelSimの信号に設定します。

3.5 bit_vector と Std_logic_vector

これら両方のケースでの二つの操作モードがあります。

分割入力バスパラメータが"No"に設定されている場合、ビットベクトルは整数としてPSIM側で扱われ、ModCoupler-VHDLは配列の最初の要素を整数値の最下位ビット（LSB）として、2番目の要素は2番目のLSBとして設定します。分割入力バスのパラメータが"Yes"の場合、入力ノードは信号の各ビットに対してPSIMで作成されます。

4 VHDL ファイルのコンパイル

ModCoupler-VHDLが動作するためにコンパイルされたVHDL設計モデルが必要です。

また、ModelSimライブラリの"Work"は、作業ディレクトリに格納されている必要があります（簡単に回路図ファイルを含むディレクトリに作業フォルダを移動することが可能です）。

このプロセスはModCoupler-VHDLのダイアログで実行する必要がありますが、提案のコンパイル方法は、Windows のバッチファイルを使用しています。バッチファイルには実行するコマンドが含まれています。

一例のバッチファイル（compile.bat）を別の一例のディレクトリで見つけることができます。このModelSimアプリケーションVCOMとvlibが使用されているので、それぞれへのパスが環境変数"PATH"に含まれていなければなりません。

※注意；

VHDLモデルをどのように変えた場合も、モデルは再コンパイルしなければなりません。

5 シミュレーション

最後のステップは、シミュレーションを実行することです。

初めにシミュレーションを実行するとき、シミュレーションの実行をせずにModelSimを開くために、「ModelSim Run -All」のパラメータの設定を"No"に設定してください。

この状態では、ユーザーは表示させる、またwaveファイル（不具合によってwave.do）に保存するための適切な信号選択することができます。

PSIMの" Run simulation engine"ボタンを押してシミュレーションを開始します。数秒後、ModelSimのウィンドウが表示されます。ユーザーが表示する信号を選択した後、ModelSimの"Run-All"ボタンを押すことによってシミュレーションは開始されます。

次のシミュレーションでは、ModelSimを起動し、自動的にシミュレーションを実行するために「ModelSim Run -All」のパラメータを"Yes"に設定することができます。

同じVHDLモデルでの新しいシミュレーションが必要な場合（例えば、VHDLファイルを編集して再コンパイルした後または回路図変更後）は、PSIMの"Run simulation engine"を再び押す前にModelSimの"Restart"ボタンを押します（ModelSimのウィンドウを閉じる必要はありません）。

ModCoupler-VHDL User's Guide

発行: Myway プラス株式会社
〒220-0022
神奈川県横浜市西区花咲町 6-145
横浜花咲ビル
TEL.045-548-8836
FAX.045-548-8832

ホームページ: <http://www.myway.co.jp>
Eメール: sales@myway.co.jp
